

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 4 L	12/40	H 0 4 L 11/00	3 2 0 5 K 0 3 0
	7/033	H 0 4 Q 3/00	5 K 0 3 2
	12/28	H 0 4 L 7/02	B 5 K 0 3 4
	12/66	11/20	D 5 K 0 4 7
	29/04		B 9 A 0 0 1

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願平11-18065

(22)出願日 平成11年1月27日(1999.1.27)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 野村 隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 丸山 厚志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100082131

弁理士 稲本 義雄

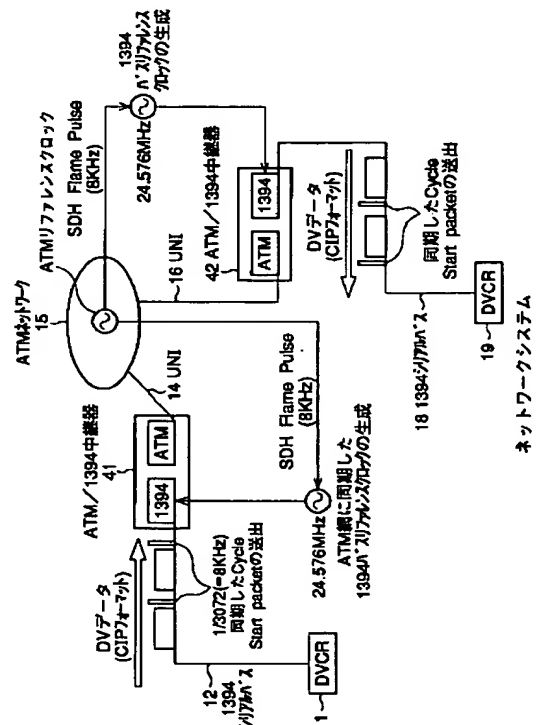
最終頁に続く

(54)【発明の名称】 データ中継装置および方法、並びに提供媒体

(57)【要約】

【課題】 ネットワークを介して接続されるバスにおける画像や音声微妙に変化するのを防止する。

【解決手段】 DVCR11より出力されたデータを、1394シリアルバス12、ATM/1394中継器41、UNI14、ATMネットワーク15、UNI16、ATM/1394中継器42、1394シリアルバス18を介して、DVCR19に転送する。ATM/1394中継器41は、送信側の1394シリアルバス12のサイクルマスタとされ、ATM/1394中継器42は、受信側の1394シリアルバス18のサイクルマスタとされる。1394シリアルバス12と1394シリアルバス18の24.576MHzのバスリファレンスクロックは、ATMネットワーク15の8KHzのATMリファレンスクロックに同期される。



## 【特許請求の範囲】

【請求項 1】 所定のバスとネットワークとの間でデータを中継するデータ中継装置において、前記バスとのインタフェース処理を行う第 1 のインターフェース手段と、

前記ネットワークとのインタフェース処理を行う第 2 のインターフェース手段と、

前記第 1 のインターフェース手段において用いられる第 1 のクロックを、前記ネットワークでの処理を同期させるための第 2 のクロックに同期して生成する生成手段とを含むことを特徴とするデータ中継装置。

【請求項 2】 前記バスは、IEEE1394 シリアルバスであり、

前記ネットワークは、ATM ネットワークであることを特徴とする請求項 1 に記載のデータ中継装置。

【請求項 3】 前記第 1 のインターフェース手段と前記第 2 のインターフェース手段とを制御する制御手段と、前記第 2 のクロックを分周して、前記制御手段に供給する割り込み制御信号を生成する分周手段とをさらに含むことを特徴とする請求項 1 に記載のデータ中継装置。

【請求項 4】 所定のバスとネットワークとの間でデータを中継するデータ中継装置のデータ中継方法において、

前記バスとのインタフェース処理を行う第 1 のインターフェースステップと、

前記ネットワークとのインタフェース処理を行う第 2 のインターフェースステップと、

前記第 1 のインターフェースステップの処理において用いられる第 1 のクロックを、前記ネットワークでの処理を同期させるための第 2 のクロックに同期して生成する生成ステップとを含むことを特徴とするデータ中継方法。

【請求項 5】 所定のバスとネットワークとの間でデータを中継するデータ中継装置に、

前記バスとのインタフェース処理を行う第 1 のインターフェースステップと、

前記ネットワークとのインタフェース処理を行う第 2 のインターフェースステップと、

前記第 1 のインターフェースステップの処理において用いられる第 1 のクロックを、前記ネットワークでの処理を同期させるための第 2 のクロックに同期して生成する生成ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする提供媒体。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、データ中継装置および方法、並びに提供媒体に関し、特にネットワークを介して異なるバス間でデータを授受する場合において、時間的なずれを抑制することができるようにした、デー

タ中継装置および方法、並びに提供媒体に関する。

## 【0002】

【従来の技術】図 1 は、従来のネットワークシステムの構成例を表している。このネットワークシステムにおいては、デジタルビデオカセットレコーダ (DVCR) 11 が接続されている IEEE1394 シリアルバス (以下、単に 1394 シリアルバスとも称する) 12 が、ATM (Asynchronous Transfer Mode) / 1394 中継器 13 から、UNI (User Network Interface) 14 を介して ATM ネットワーク 15 に接続されている。ATM ネットワーク 15 はさらに、UNI 16 を介して ATM / 1394 中継器 17 に接続されている。ATM / 1394 中継器 17 には、DVCR 19 が接続されている 1394 シリアルバス 18 が接続されている。

【0003】1394 シリアルバス 12 (1394 シリアルバス 18 も同様) においては、図 2 に示すようにデータが転送される。すなわち、DVCR 11 が伝送するデータからなるソースパケット (図 2 (A)) は、480 バイト単位のデータブロックに分割される (図 2

(B))。このデータブロックに、アイソクロナスパケットヘッダと CIP (Common Isochronous Packet) ヘッダが付加され、125  $\mu$ s のサイクル周期のうちの所定のタイミングのサイクルにおいて、アイソクロナスパケットとして伝送される。各サイクルの先頭には、サイクルマスタからサイクルスタートパケットが送信される。1394 シリアルバス 12 上において同期をとるために、1394 シリアルバス上に接続されている各機器は 32 ビットのサイクルタイムレジスタを内蔵しており、サイクルマスタの 24.576 MHz の周波数のリファレンス

クロック (以下、バスリファレンスクロックとも称する) に同期しているサイクルスタートパケット内のサイクルタイムデータの値 (すなわち、サイクルマスタのサイクルタイムレジスタ値に等しい) を自身のサイクルタイムレジスタに反映させることで、125  $\mu$ s 毎にサイクルタイムレジスタの値を同期させて動作する。従って、ATM / 1394 中継器 13 も、1394 シリアルバス 12 とのインタフェース処理を行う部分において、上記のようにサイクルタイムレジスタ値を同期させながら動作する。

【0004】1394 インタフェース部でインタフェース処理されたパケットデータは、ATM / 1394 中継器 13 の ATM インタフェース部で ATM セルに変換され、UNI 14 を介して ATM ネットワーク 15 に送信される。ATM ネットワーク 15 は、そこに接続されている各機器の同期をとるために、8 KHz の周波数のリファレンスクロック (以下、ATM リファレンスクロックとも称する) に同期して動作するようになされている。従って、ATM / 1394 中継器 13 の ATM インタフェース部は、この ATM リファレンスクロックに同期して、各種の処理を実行する。

【0005】ATM ネットワーク 15 を介して ATM / 139

4中継器13から伝送されてきたATMセルは、UNI16を介してATM/1394中継器17に供給される。そのATMインタフェース部は、入力されたATMセルを組み立て、1394インタフェース部に出力する。このATMインタフェース部も、ATMネットワーク15のATMリファレンスクロックに同期して動作する。ATMインタフェース部より出力されたデータは、1394インタフェース部においてパケット化され、1394シリアルバス18を介してDVCR19に供給される。ATM/1394中継器17の1394インタフェース部は、1394シリアルバス18に接続されている各機器の同期をとるためのサイクルタイムレジスタの値を同期させながら動作する。

【0006】図3は、このようにして、DVCR11が、1394シリアルバス12からATMネットワーク15を介して1394シリアルバス18のDVCR19にデータを転送する場合の原理的なタイミングチャートを表している。DVCR11が出力するデータが、例えば、NTSC方式の画像データであるとするとき、その29.97Hzの周波数のフレーム同期信号は、24.576MHzの周波数のバスリファレンスクロックで、例えば、時刻 $t_1$ 、 $t_4$ 、 $t_7$ においてサンプリングされる(図3(A))。

【0007】時刻 $t_1$ で取り込まれた画像データは、DVCR11から1394シリアルバス12に対して、時刻 $t_2$ から始まるバスサイクルで伝送される。このとき、そのCIPパケットCIP<sub>1</sub>には、タイムスタンプが付加されている(図3(B))。

【0008】すなわち、図4に示すように、1394シリアルバスを伝送されるアイソクロナスパケットは、1394ヘッダ、CIPヘッダ1、CIPヘッダ2、およびデータから構成されており、そのうちのCIPヘッダ2には、16ビットからなる時間情報(Sync Time)がタイムスタンプとして配置されている。1394シリアルバス12に接続されている各機器は、バス上における処理の同期をとるために、サイクルタイムレジスタを内蔵しており、その下位16ビットの値が、このタイムスタンプとなる。CIPパケットCIP<sub>1</sub>のタイムスタンプは、サンプリング時(時刻 $t_1$ )のサイクルタイムレジスタの値に、遅延加算時間TdelayAddCountを加算した値とされている。すなわち、タイムスタンプは、時刻 $t_1$ から遅延加算時間TdelayAddCountだけ経過した時刻 $t_3$ に対応した値となっている。この遅延加算時間TdelayAddCountは、1394シリアルバス12のサイクルタイミングのずれなどのジッタを吸収するための時間に対応している。

【0009】受信側の1394シリアルバス18を介してこのCIPパケットCIP<sub>1</sub>を受信すると、DVCR19は、そこに含まれるタイムスタンプを抽出する(図3

(C))。上述したように、このタイムスタンプの時刻は、時刻 $t_3$ に対応している。そこで、DVCR19は、時刻 $t_3$ のタイミングにおいて、第1のフレームのフレーム同期信号を生成する。以下同様に、第2のフレーム、

第3のフレームなどにおいても、順次、同様の処理が行われる。

【0010】図3に示したタイミングチャートは、あくまで原理的なものであるが、実際のタイミングチャートは、図5に示すようになる。すなわち、時刻 $t_1$ で取り込まれた第1のフレームの同期信号は、その時のサンプリング時刻に、遅延加算時間TdelayAddCountを加算した時刻 $t_3$ に対応するタイムスタンプを含むCIPパケットCIP<sub>1</sub>として、時刻 $t_2$ で1394シリアルバス12に伝送される。このCIPパケットCIP<sub>1</sub>は、1394シリアルバス12、ATM/1394中継器13、UNI14、ATMネットワーク15、UNI16、ATM/1394中継器17、1394シリアルバス18の各伝送路上の総合的な遅延時間TdelayNet1だけ遅延され、時刻 $t_4$ から始まるバスサイクルのタイミングにおいて、DVCR19に供給される。DVCR19は、このCIPパケットCIP<sub>1</sub>からタイムスタンプを抽出し(図5(C))、そのタイムスタンプに対応する時刻 $t_6$ で、第1のフレームの同期信号を生成する(図5(D))。

【0011】

【発明が解決しようとする課題】受信側の1394シリアルバス18に接続されているDVCR19が、CIPパケットCIP<sub>1</sub>から抽出したタイムスタンプに基づいて、時刻 $t_4$ から計時した時刻 $t_6$ までの時間ToffsetAddCount1#2は、1394シリアルバス18のバスリファレンスクロックに基づいて計時される。これに対して、送信側の1394バス12に接続されているDVCR11が、CIPパケットCIP<sub>1</sub>のタイムスタンプに設定した時刻 $t_3$ は、1394シリアルバス12のバスリファレンスクロックに基づいて、バスサイクルの開始時刻 $t_2$ から、時間ToffsetAddCount1#1だけ経過したときの時刻である(図5(A))。この時間ToffsetAddCount1#1は、時刻 $t_3$ と時刻 $t_2$ の差(すなわち、時刻 $t_3$ から時間TdelayNet1だけ経過した時刻 $t_5$ と、時刻 $t_2$ から時間TdelayNet1だけ経過した時刻 $t_4$ との差)に対応している(図5(B))。

【0012】送信側の1394シリアルバス12のバスリファレンスクロックと、受信側の1394シリアルバス18のバスリファレンスクロックとは同期していないため、1394シリアルバス12のサイクル周期(図5(B))と、1394シリアルバス18のサイクル周期(図5(C))とは正確には一致しておらず、その結果、1394シリアルバス12におけるフレーム周期(図5(B))としての時刻 $t_3$ から時刻 $t_9$ までの時間TsndFrameと、図5(D)に示す受信側の1394シリアルバス18におけるフレーム周期TrevFrameとは一致しない。

【0013】その結果、DVCR11側における画像の色合いと、DVCR19側における画像の色合いとが微妙に変化したり、音色についても、送信側と受信側とで微妙にず

れが生じる。

【0014】このようなバスサイクルの時間のずれは、受信側のATM/1394中継器17のバッファのオーバーフローまたはアンダーフローを引き起こす。オーバーフローまたはアンダーフローのどちらが発生するかは、送信側と受信側のバスサイクルの相対的な関係によって決定され、送信側のバスサイクルが短い場合はオーバーフローとなり、長い場合はアンダーフローとなる。図5のタイミングチャートは、前者の場合を示しており、こ

$$\begin{aligned} 1 \text{ CIPパケットが滞留する時間 } T_{\text{cip}} &= 3072 / (24.576 \times 30) \\ &= 4.17 \text{ sec} \end{aligned}$$

$$\begin{aligned} 16 \text{ Mbyteのバッファがオーバーフローする時間 } T_{\text{over}} \\ &= T_{\text{cip}} \times 16777216 / 488 = 143248 \text{ sec} = 39.8 \text{ hour} \end{aligned}$$

となり、およそ40時間程度で16Mbyteのバッファがオーバーフローする。

【0016】また、アンダーフローが発生する時間は、ジッタ等を吸収するために蓄積するCIPパケット数によって増減する。蓄積パケット数を多くするとアンダーフローまでの時間は長くなるが（なかなかアンダーフローしないが）、それに比例して、ATM/1394中継器17での遅延時間も増加してしまう。逆に、蓄積パケット

$$\begin{aligned} 1 \text{ CIPパケットが流出する時間 } T_{\text{cip}} &= 3072 / (24.576 \times 30) \\ &= 4.17 \text{ sec} \end{aligned}$$

$$\begin{aligned} \text{蓄積したCIPパケットがアンダーフローする時間 } T_{\text{under}} \\ &= T_{\text{cip}} \times 2400 = 10008 \text{ sec} = 2.78 \text{ hour} \end{aligned}$$

となり、およそ3時間程度で蓄積した2400個のCIPパケットがアンダーフローする。

【0017】本発明はこのような状況に鑑みてなされたものであり、受信側において、送信側と対応する情報を復元できるようにするとともに、オーバーフローやアンダーフローを防止するようにするものである。

【0018】

【課題を解決するための手段】請求項1に記載のデータ中継装置は、バスとのインタフェース処理を行う第1のインタフェース手段と、ネットワークとのインタフェース処理を行う第2のインタフェース手段と、第1のインタフェース手段において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成手段とを含むことを特徴とする。

【0019】請求項4に記載のデータ中継方法は、バスとのインタフェース処理を行う第1のインタフェースステップと、ネットワークとのインタフェース処理を行う第2のインタフェースステップと、第1のインタフェースステップの処理において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップとを含むことを特徴とする。

【0020】請求項5に記載の提供媒体は、バスとのインタフェース処理を行う第1のインタフェースステッ

の場合、徐々に蓄積遅延時間が長くなるとともに、ATM/1394中継器17内に滞留するパケット数が増加する。

【0015】ここで、オーバーフローが発生するまでの時間を算出すると、例えばATM/1394中継器17内のバッファ容量を16Mbyte、相対差を30ppm（クロックを生成するための電圧制御水晶発振回路の標準的な偏差の値）と仮定した場合、

数を少なくすると、遅延時間は小さくなるが、アンダーフローまでの時間も短くなってしまう（すぐにアンダーフローしてしまう）。ここで、アンダーフローまでの時間を算出すると、例えば蓄積するCIPパケット数を2400（ $125 \mu\text{s} \times 2400 = 300 \text{ ms}$  : Real Timeアプリケーションの遅延時間の限界値）、相対差を30ppmと仮定した場合、

プと、ネットワークとのインタフェース処理を行う第2のインタフェースステップと、第1のインタフェースステップの処理において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

【0021】請求項1に記載のデータ中継装置、請求項4に記載のデータ中継方法、および請求項5に記載の提供媒体においては、第1のインタフェース処理において用いられる第1のクロックが、ネットワークでの処理を同期させるための第2のクロックに同期して生成される。

【0022】

40 【発明の実施の形態】図6は、本発明を適用したネットワークシステムの構成例を表しており、図1に対応する部分には、同一の符号を付してあり、その説明は適宜省略する。このシステムの基本的な構成は、図1に示した場合と同様であるが、1394シリアルバス12とATMネットワーク15の間に配置されているATM/1394中継器41、およびATMネットワーク15と1394シリアルバス18との間に配置されているATM/1394中継器42の構成が、図1における場合と異なっている。すなわち、この構成例においては、ATM/1394中継器41は、1394シリアルバス12のサイクルマ

スタとなっており、また、ATM/1394中継器42は、1394シリアルバス18のサイクルマスタとなっており、それぞれは、その1394シリアルバス12または1394シリアルバス18で使用する24.576MHzの周波数のバスリファレンスクロックを、ATMネットワーク15の8KHzの周波数のATMリファレンスクロック(SDH Frame Pulse)に同期して生成するようになっている。

【0023】図7は、ATM/1394中継器41の構成を表している(ATM/1394中継器42も同様の構成とされている)。

【0024】CPU60は、プログラムに対応してATM SAR (Segmentation and Reassembly) ブロック58、ATM PHYブロック57、IEEE1394 LINKレイヤブロック55、IEEE1394 3ポートPHYブロック54、およびシステムコントローラ61を制御し、インタフェース処理を実行させる。

【0025】スケジューリングタイマ63は、8KHzの周波数のATMリファレンスクロック(ATM/SDHフレームタイミング)を分周して、CPU60に対してタイマ割り込み信号を出力するようになっている。メモリブロック62は、ローカルバス64を介してシステムコントローラ61と接続されており、送受信するパケットデータを記憶するようになっている。システムコントローラ61には、PCI (Peripheral Component Interconnect) バス65を介してATMネットワーク(ATM/SDH (Synchronous Digital Hierarchy) 網) 15に対する送受信処理を行うブロック71と、1394シリアルバス12に対する送受信処理を行うブロック72とが接続されている。前者のブロック71は、ATM SARブロック58、ATM PHYブロック57、および光学(Optics)ブロック56とにより構成され、後者のブロック72は、IEEE1394 LINKレイヤブロック55、IEEE1394 3ポートPHYブロック54により構成されている。

【0026】ATM SARブロック58は、メモリブロック62からシステムコントローラ61およびPCIバス65を介して転送されてきたデータをATMセルに分割し、ATM PHYブロック57に転送する。ATM SARブロック58は、また、逆に、ATM PHYブロック57より供給されたATMセルを組み立て、システムコントローラ61およびPCIバス65を介してメモリブロック62に出力する。ATM PHYブロック57は、ATMSARブロック58より供給されたATMセルを、光学ブロック56の仕様に対応するデータに変換して光学ブロック56に出力するとともに、光学ブロック56より入力されたデータからATM SARブロック58に渡すべきATMセルを取り出して、ATM SARブロック58に出力する。光学ブロック56は、ATMネットワーク15より供給された光信号によるデータを受信し、電気信号に変換して、ATM PHYブロック57に供給するとともに、ATM PHYブロック57より供給されたデ

ータを光信号に変換して、ATMネットワーク15に出力する。

【0027】IEEE1394 LINKレイヤブロック55は、システムコントローラ61およびPCIバス65を介してメモリブロック62より入力されたATMフォーマットのデータを、CPU60によって予め設定された1394シリアルバスのフォーマットに変換して、IEEE1394 3ポートPHYブロック54に出力するとともに、逆に、IEEE1394 3ポートPHYブロック54より入力された1394シリアルバスのフォーマットのデータを、システムコントローラ61およびPCIバス65を介してメモリブロック62に出力し、CPU60によってATMのフォーマットに変換させる。IEEE1394 3ポートPHYブロック54は、IEEE1394 LINKレイヤブロック55より入力されたデータを、IEEE1394シリアルバスの信号に変換して、ポート51乃至53から1394シリアルバス12に出力する。また、IEEE1394 3ポートPHYブロック54は、ポート51乃至53を介して1394シリアルバス12より入力されたデータを受信し、これをIEEE1394 LINKレイヤブロック55に出力する。

【0028】ATM PHYブロック57は、8KHzの周波数のATMリファレンスクロックを抽出する。このATMリファレンスクロックは、ATMネットワーク15において、世界的に同期されたものとなっている。このATMリファレンスクロックは、クロック同期回路59とIEEE1394 LINKレイヤブロック55に供給される。IEEE1394 LINKブロック55は、入力されたリファレンスクロックに同期して、1394シリアルバスのサイクルスタートパケットの送出タイミングを検出する。クロック同期回路59は、ATM PHYブロック57より入力されたATMリファレンスクロックに同期して、24.576MHzの周波数の1394シリアルバスのためのバスリファレンスクロックを生成し、IEEE1394 3ポートPHYブロック54に出力している。

【0029】クロック同期回路59は、図8に示すように構成されている。すなわち、クロック同期回路59は、PLL回路として構成され、ATM PHYブロック57より入力された8KHzの周波数のATMリファレンスクロックと、分周器81より入力された8KHzの周波数のクロックとを位相比較し、その位相誤差信号をフィルタ(ローパスフィルタ)83に出力している。フィルタ83は、入力された位相誤差信号を平滑し、電圧制御水晶発振回路(VCXO)84に出力している。電圧制御水晶発振回路84は、その標準的な発振周波数が、24.576MHzの周波数となるように設定されており、フィルタ83より入力される制御信号(制御電圧)に対応する位相のクロックを生成し、バスリファレンスクロックとしてIEEE1394 3ポートPHYブロック54に出力している。電圧制御水晶発振回路84の出力するバスリファレンスクロックはまた、分周器81に入力され、1/3072

に分周され、位相比較器 82 に入力されている。

【0030】これにより、クロック同期回路 59 は、ATM PHY ブロック 57 より入力される 8 KHz の周波数の ATM ネットワーク 15 の ATM リファレンスクロックに同期した、24. 576 MHz の周波数の 1394 シリアルバスのバスリファレンスクロックを生成し、出力する。

【0031】次に、送信側の 1394 シリアルバス 12 に接続されている DVCR 11 から出力されたデジタルビデオ (DV) データを、受信側の 1394 シリアルバス 18 に接続されている DVCR 19 に伝送する場合の処理について、図 9 乃至図 12 を参照して説明する。最初に、図 9 のフローチャートを参照して、送信側の DVCR 11 の処理について説明する。なお、この場合においても、DVCR 11 は、NTSC 方式のビデオ信号をサンプリングし、出力するものとする。

【0032】ステップ S1 において、DVCR 11 は、図 10 (A) に示すように、時刻  $t_1$  のタイミングにおいて、29. 97 Hz の周波数のフレーム同期信号を自身の 24. 576 MHz のクロックに基づいてサンプリングする。1394 シリアルバス 12 において、ATM/1394 中継器 41 がサイクルマスタとなっているので、1394 シリアルバス 12 に接続されている DVCR 11 のサイクルタイムレジスタ値は、ATM/1394 中継器 41 により生成されるサイクルスタートパケット内のサイクルタイムデータを反映させたものとなっている。サイクルタイムデータは、サイクルマスタである ATM/1394 中継器 41 のサイクルタイムレジスタ値そのものであり、バスリファレンスクロックによってカウントアップされる。このため、DVCR 11 のサイクルタイムレジスタ値は、125  $\mu$ s 毎に ATM/1394 中継器 41 のサイクルタイムレジスタ値と同期している。そして、ステップ S2 において、現在の (時刻  $t_1$ ) サイクルタイムレジスタの下位 16 ビットの値に、遅延加算時間 Tdelay AddCount を加算した値を、第 1 のフレームのフレーム同期信号を伝送する CIP パケットの CIP ヘッダの Sync Time フィールド (図 4) に格納する。そして、ステップ S3 において、DVCR 11 は、図 10 (B) に示すように、その CIP パケット CIP<sub>1</sub> を、1394 シリアルバス 12 に、時刻  $t_2$  から始まるサイクルバスのタイミングでアイソクロナスパケットとして伝送する。

【0033】従来の場合と同様に、CIP パケット CIP<sub>1</sub> に含まれているタイムスタンプは、時刻  $t_1$  に遅延加算時間 TdelayAddCount を加算した時刻  $t_3$  に対応した値となっている。

【0034】DVCR 11 が出力したデータは、1394 シリアルバス 12 を介して、ATM/1394 中継器 41 に伝送される。ATM/1394 中継器 41 において、このデータは、例えば、ポート 51 から、IEEE 1394 3 ポート PHY ブロック 54 に入力され、所定のインタフェース処理が行われる。この処理は、クロック同期回路 5

9 が出力する ATM リファレンスクロックに同期したバスリファレンスクロックに基づいて行われるので、ATM ネットワーク 15 における処理と位相的に同期した処理となる。IEEE 1394 LINK レイヤブロック 55 は、IEEE 1394 3 ポート PHY ブロック 54 より入力されたデータを、ATM PHY ブロック 57 より入力された ATM リファレンスクロックに同期したタイミングで生成したサイクルスタートパケット送出タイミングを基に処理し、PCI バス 65 に出力する。システムコントローラ 61 は、PCI バス 65 を介して入力されたデータを、ローカルバス 64 を介してメモリブロック 62 に供給し、記憶させる。

【0035】CPU 60 は、システムコントローラ 61 を介して、メモリブロック 62 に記憶されたデータを読み出し、ATM SAR ブロック 58 に供給する。ATM SAR ブロック 58 は、メモリブロック 62 から伝送されてきたデータを ATM セルに分割し、ATM PHY ブロック 57 に供給する。ATM PHY ブロック 57 は、ATM SAR ブロック 58 より供給された ATM セルを光学ブロック 56 の使用に対応するデータに変換し、光学ブロック 56 に出力する。光学ブロック 56 は、入力されたデータを UNI 14 を介して ATM ネットワーク 15 に出力する。

【0036】ATM ネットワーク 15 から転送されてきたデータは、UNI 16 を介して ATM/1394 中継器 42 に入力される。すなわち、図 10 (B) の時刻  $t_2$  において、DVCR 11 より出力されたデータが、時間 TdelayNet だけ経過した時刻  $t_4$  において、受信側の ATM/1394 中継器 42 に入力される。このとき、ATM/1394 中継器 42 は、図 11 のフローチャートに示すような処理を実行する。なお、以下においては、図 7 に示す構成を ATM/1394 中継器 42 の構成として説明する。

【0037】ステップ S21 において、ATM/1394 中継器 42 の CPU 60 は、ATM ネットワーク 15 から受信したデータに含まれるフレームの先頭の CIP を検出する処理を実行する。すなわち、ATM/1394 中継器 42 に入力された ATM セルの信号は、光学ブロック 56 において、光信号から電気信号に変換され、ATM PHY ブロック 57 に供給される。ATM PHY ブロック 57 は、入力されたデータから ATM セルを取り出して、ATM SAR ブロック 58 に供給する。ATM SAR ブロック 58 は、入力された ATM セルを統合し、PCI バス 65 を介してシステムコントローラ 61 に出力する。システムコントローラ 61 は、入力されたデータをローカルバス 64 を介してメモリブロック 62 に供給し、記憶させる。CPU 60 は、システムコントローラ 61 を介してメモリブロック 62 に記憶されたデータを読み出し、そのデータからフレームの先頭の CIP を検出する。

【0038】次に、ステップ S22 において、CPU 60 は、Sync Time フィールドに格納されているタイムスタンプ情報を抽出する。そして、ステップ S23 において、CPU 60 は、送信側の 1394 シリアルバス 12 の

バスサイクルの値（周期）と、受信側の 1394 シリアルバス 18 のバスサイクルの周期の値の差分 DiffCycleCount が既に算出されているか否かを判定する。この値が、まだ算出されていない場合には、ステップ S 24 に進み、CPU 60 は、ステップ S 22 で読み出したタイムスタンプのサイクルカウント値（上位 4 ビット）と、CIP パケット CIP<sub>1</sub> が 1394 シリアルバス 18 に送出される予定の時刻のサイクルタイムレジスタの値 CycleCount との差分を算出する。ステップ S 25 において、CPU 60 は、ステップ S 24 で演算した差分値に、遅延加算時間 TdelayAdd のサイクルカウント値を加算して、その値 DiffCycleCount を得る。

【0039】ステップ S 23 において、この値 DiffCycleCount が、既に算出されていると判定された場合、ステップ S 24 とステップ S 25 の処理はスキップされる。

【0040】次に、ステップ S 26 において、ステップ S 25 で演算された値 DiffCycleCount に、CPU 60 は、タイムスタンプのサイクルカウント値（上位 4 ビット）を加算し、その値を新たなタイムスタンプとして CIP パケット CIP<sub>1</sub> の Sync Time フィールドに格納する。ステップ S 26 で生成された CIP パケット CIP<sub>1</sub> は、ステップ S 27 で、1394 シリアルバス 18 に転送される。

【0041】すなわち、CPU 60 は、ステップ S 26 で生成した CIP パケット CIP<sub>1</sub> をシステムコントローラ 61 を介して PCI バス 65 から IEEE 1394 LINK レイヤブロック 55 に供給する。IEEE 1394 LINK レイヤブロック 55 は、入力された ATM のフォーマットのデータを CPU 60 によって予め設定されている 1394 シリアルバスのフォーマットに変換し、IEEE 1394 3 ポート PHY ブロック 54 に出力する。IEEE 1394 3 ポート PHY ブロック 54 は、IEEE 1394 LINK レイヤブロック 55 より入力されたデータを IEEE 1394 シリアルバスの信号に変換し、例えば、ポート 51 から 1394 シリアルバス 18 に出力する。このアイソクロナスパケットは、DVCR 19 に供給される。

【0042】DVCR 19 は、1394 シリアルバス 18 を介してアイソクロナスパケットとして、CIP パケット CIP<sub>1</sub> が供給されると、図 12 のフローチャートに示す処理を実行する。

【0043】最初にステップ S 41 において、DVCR 19 は、フレームの先頭の CIP を検出する処理を実行する。いまの場合、CIP パケット CIP<sub>1</sub> が検出される。さらに、DVCR 19 は、ステップ S 42 において、CIP パケット CIP<sub>1</sub> のヘッダの Sync Time フィールドに格納されているタイムスタンプを抽出する。なお、この Sync Time フィールドは、フレームの先頭の CIP パケットにおいてのみ有効である。

【0044】次に、ステップ S 43 において、ステップ S 42 で抽出したタイムスタンプの値と、その CIP パケット CIP<sub>1</sub> を受信したときのサイクルタイムレジスタの値

（下位 16 ビット）との差分が演算される。この演算された値は、図 10 において、時刻  $t_4$  から時刻  $t_5$ （第 1 のフレームのフレーム同期信号の出力タイミング）までの時間に対応している（図 10（C））。そこで、ステップ S 44 において、DVCR 19 は、ステップ S 43 で求めた差分値に基づくタイミングにおいて、第 1 のフレームのフレーム同期信号を再生する（図 10（D））。

【0045】なお、図 10 には、図 9、図 11、および図 12 の各ステップの処理が行われるタイミングが、各ステップの符号で表されている。

【0046】以上のようにして、この実施の形態では、送信側の 1394 シリアルバス 12 のバスサイクルと、受信側の 1394 シリアルバス 18 のバスサイクルの周期を等しい値とすることができるので、送信側の 1394 シリアルバス 12 から、受信側の 3194 シリアルバス 18 までの総合的な伝送路上の遅延時間 TdelayNet を常に一定の値とすることができる。このため、受信側の ATM/1394 中継器 42 のバッファ（図 7 のメモリブロック 62）内に滞留するパケットの数がほぼ一定となり、そのアンダーフローやオーバーフローを防止することができる。

【0047】さらに、送信側（DVCR 11）の Cycle Count の値と、受信側（ATM/1394 中継器 42）の Cycle Count の差分（=DiffCycleCount）を、図 11 を参照して説明したように演算し、タイムスタンプに反映させるようにしたので、送信側のフレーム周期 TsndFrame（図 10（A））と、受信側のフレーム周期 TrevFrame（図 10（D））とを一致させることができる。従って、画像の色合いや音声の音色などが微妙にずれたりすることが防止される。

【0048】なお、Cycle Time レジスタは、1394 シリアルバスに接続されている機器の Link Chip（図 7 の ATM/1394 中継器 41 のブロック 72 に対応する）に用意されているので、値 DiffCycleCount は、確実に演算することができる。

【0049】ATM/1394 中継器 41 または 42 におけるソフトウェア処理は、ATM ネットワーク 15 の ATM リファレンスクロックを、スケジューリングタイマ 63 で適度に分周してスケジューリング信号を生成し、これをソフトウェアの割り込み信号として CPU 60 に供給するようにすることで、ソフトウェアによっても、厳密に時間軸を保証することが可能となる。例えば、8 KHz の周波数の ATM リファレンスクロックを 16 分周し、2 ms 毎に割り込み処理するようにした場合、2 ms という時間で転送処理すべき CIP パケットの数は、アイソクロナスチャンネルあたり 16 パケットであることをソフトウェアに認識させることができ、かつ、その時間軸も、全ての 1394 シリアルバスで同期したバスリファレンスクロックを基にしているので、ソフトウェアでも厳密に時間軸を保証することができる。

【0050】なお、ATMネットワーク15におけるCIPパケットの伝送方式は、受信側のATM/1394中継器の蓄積バッファで伝送時のジッタが吸収できるものであれば、どのような方式であってもよい。

【0051】以上においては、バスとして1394シリアルバスを用い、ネットワークとしてATMネットワークを用いるようにしたが、その他のバスまたはネットワークを用いることも可能である。

【0052】なお、本明細書において、システムとは、複数の装置により構成される装置全体を表すものとする。

【0053】また、上記したような処理を行うコンピュータプログラムをユーザに提供する提供媒体としては、磁気ディスク、CD-ROM、固体メモリなどの記録媒体の他、ネットワーク、衛星などの通信媒体を利用することができる。

【0054】

【発明の効果】以上の如く、請求項1に記載のデータ中継装置、請求項4に記載のデータ中継方法、および請求項5に記載の提供媒体によれば、第1のインターフェースの処理において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成するようにしたので、ネットワークを介して接続される一方のバスと他方のバスにおける画像や音声が微妙に変化することを防止することができる。また、データ転送時のオーバーフローやアンダーフローを防止することができる。

【図面の簡単な説明】

【図1】従来のネットワークシステムの構成を示す図である。

【図2】1394シリアルバスのアイソクロナスパケットの転送を説明する図である。

【図3】図1のネットワークシステムの動作原理を説明するタイミングチャートである。

【図4】アイソクロナスパケットの構成を示す図である。

【図5】図1の動作を説明するタイミングチャートである。

【図6】本発明を適用したネットワークシステムの構成を示す図である。

【図7】図6のATM/1394中継器41の構成を示すブロック図である。

【図8】図7のクロック同期回路59の構成を示すブロック図である。

【図9】図6のDVCR11の動作を説明するフローチャートである。

【図10】図6のネットワークシステムの動作を説明するタイミングチャートである。

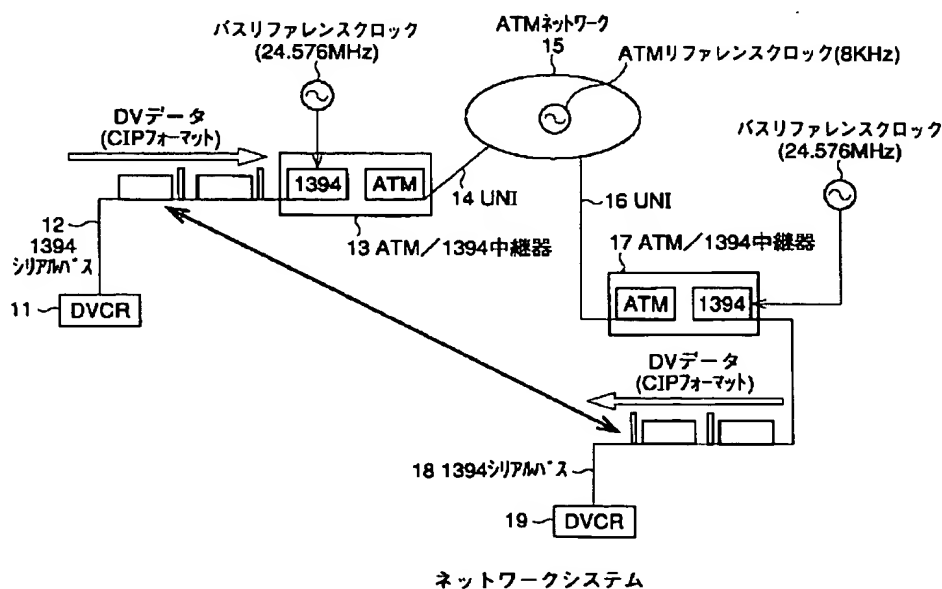
【図11】図6のATM/1394中継器42の動作を説明するフローチャートである。

【図12】図6のDVCR19の動作を説明するフローチャートである。

【符号の説明】

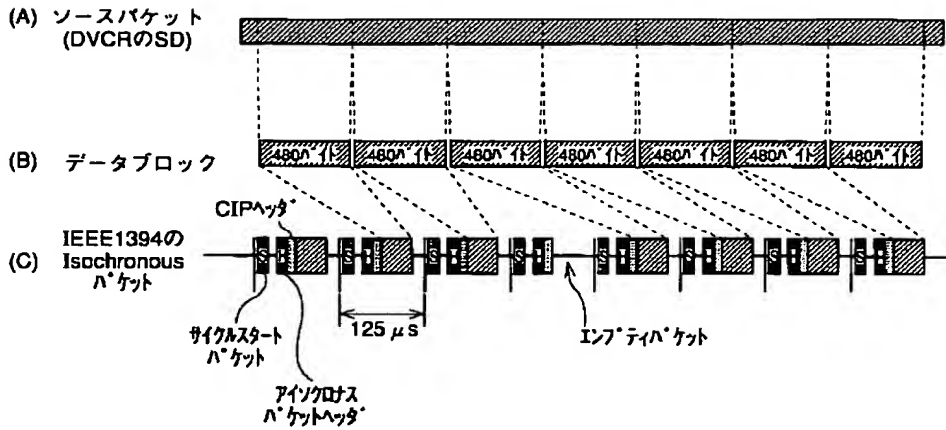
11 DVCR, 12 1394シリアルバス, 13 ATM/1394中継器, 15 ATMネットワーク, 17 ATM/1394中継器, 18 1394シリアルバス, 19 DVCR, 41, 42 ATM/1394中継器, 59 クロック同期回路, 60 CPU, 62 メモリブロック, 63 スケジューリングタイマ, 71, 72 ブロック

【図1】

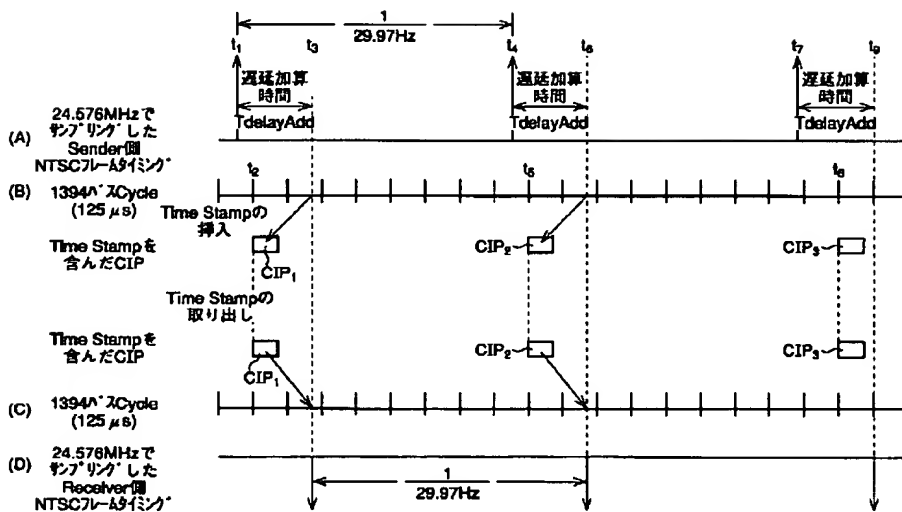




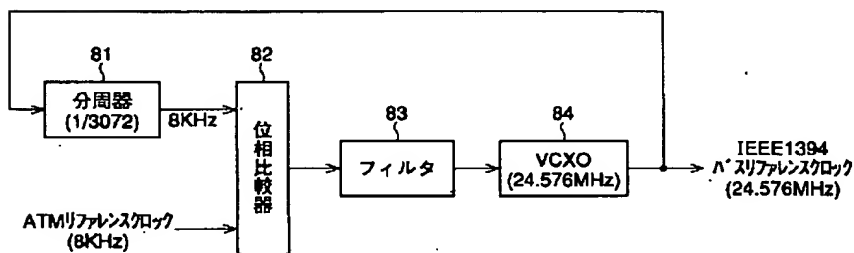
【図2】



【図3】

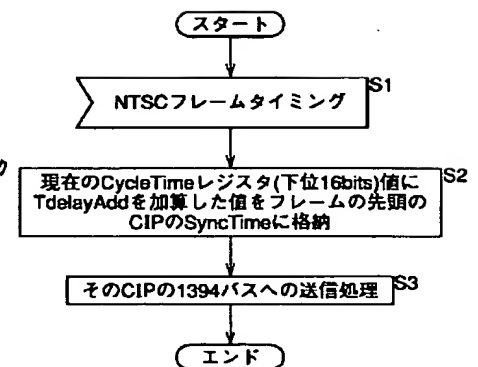


【図8】

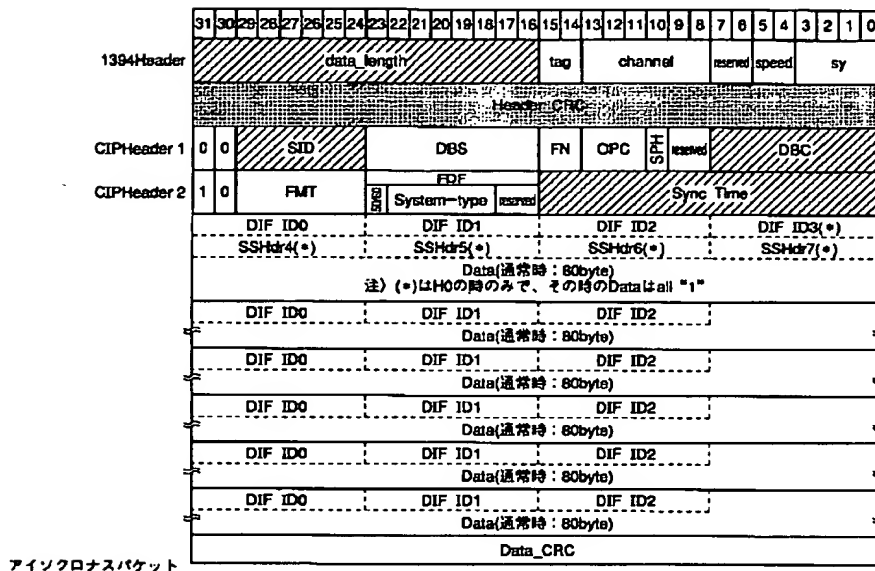


クロック同期回路 59

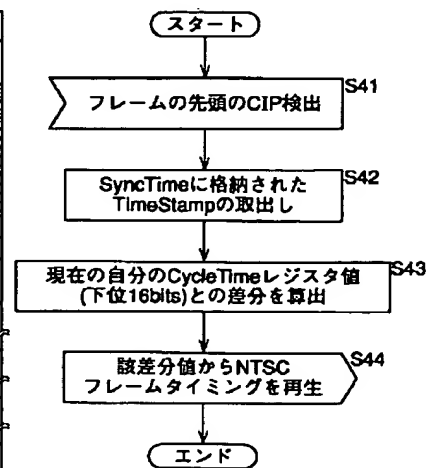
【図9】



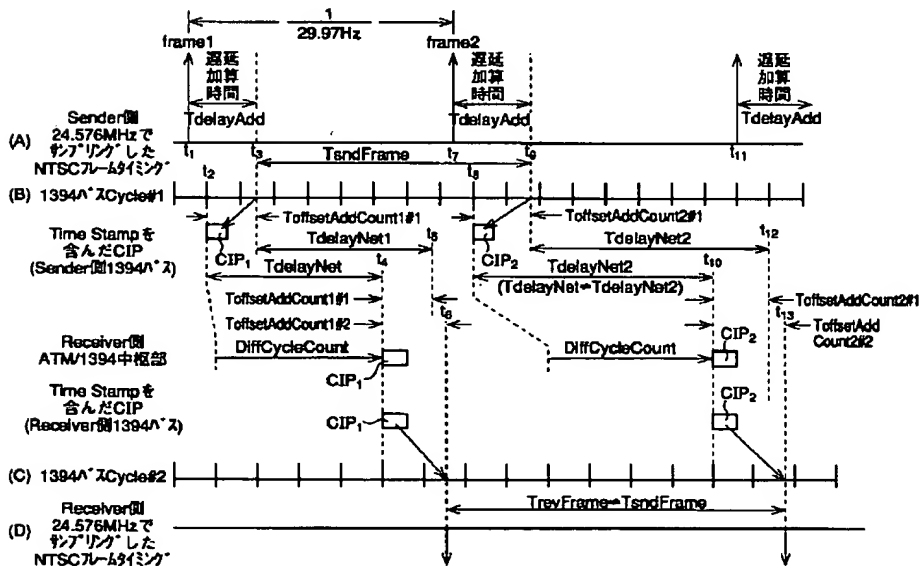
【図4】



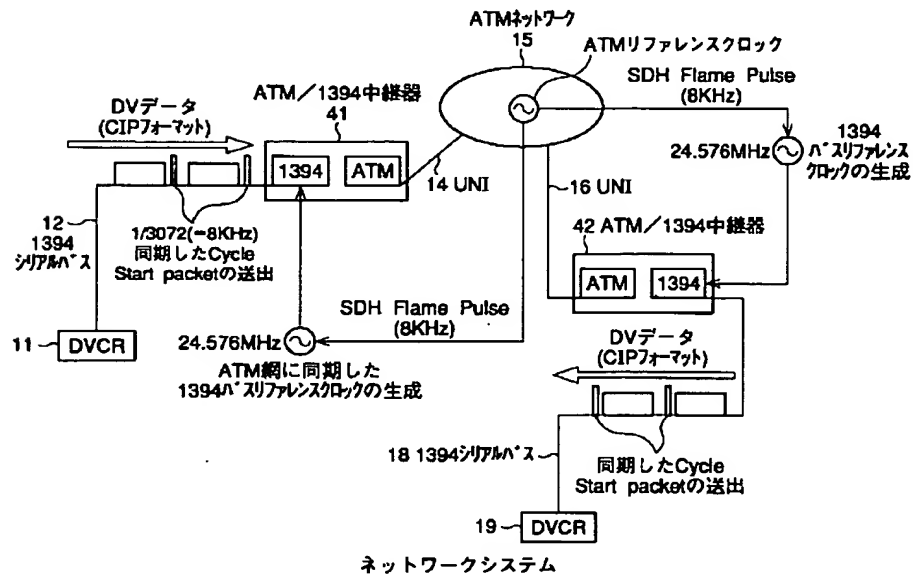
【図12】



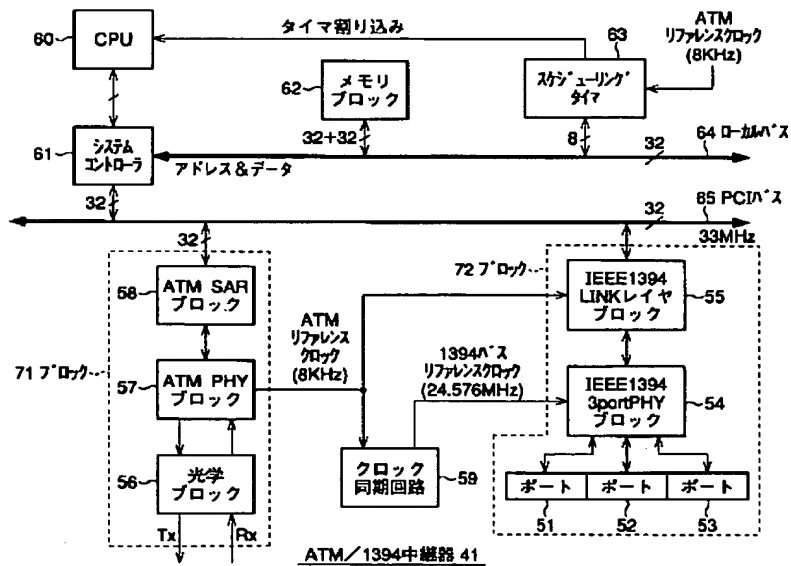
【図5】



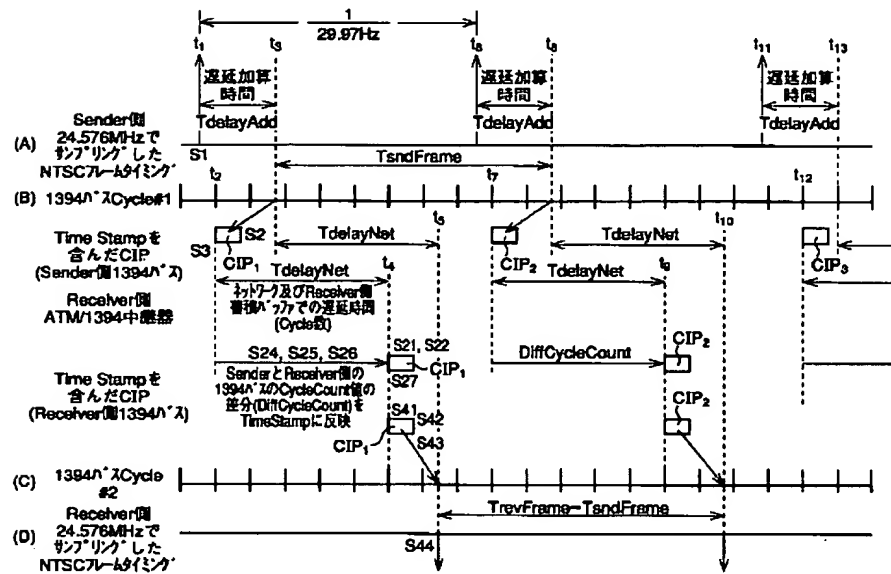
【図 6】



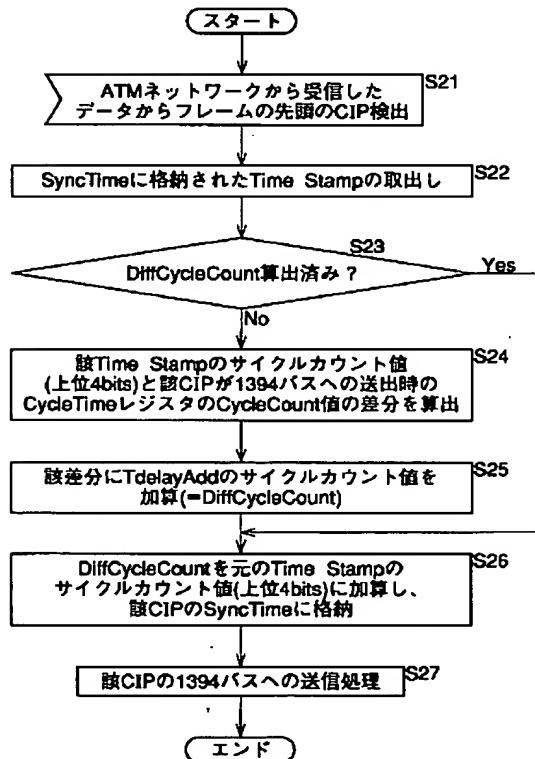
【図 7】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 4 L 29/06		H 0 4 L 13/00	3 0 3 B
H 0 4 Q 3/00			3 0 5 B

F ターム(参考) 5K030 GA11 HA10 HB15 HB19 JL10  
KA02 KA21 LA08  
5K032 AA05 CC06 DA06 DB18 DB19  
DB26  
5K034 AA05 HH61 KK27  
5K047 AA05 BB12 BB16 GG42 LL01  
MM05 MM55  
9A001 CZ03